

**Requested document:****JP2001119025 click here to view the pdf document****SEMICONDUCTOR ELEMENT AND FORMING METHOD THEREFOR**

Patent Number: JP2001119025

Publication date: 2001-04-27

Inventor(s): KITAHATA MAKOTO; YOKOGAWA TOSHIYA; KUSUMOTO OSAMU; UCHIDA MASAO; TAKAHASHI KUNIMASA

Applicant(s): MATSUSHITA ELECTRIC IND CO LTD

Requested Patent:  JP2001119025

Application Number: JP19990299647 19991021

Priority Number (s):

IPC Classification: H01L29/78; H01L21/336

EC Classification:

Equivalents:

---

**Abstract**

---

**PROBLEM TO BE SOLVED:** To solve the problem where an insulated-gate semiconductor element that is oxidized by forming a trench structure on an  $\alpha$ -SiC(0001)Si plane cannot efficiently apply electric field to a channel region while keeping high breakdown voltage, and the damage from ion implantation remains at a channel region, when the insulation-gate-type semiconductor element containing the channel region of a planar type is formed and hence high mobility cannot be realized.

**SOLUTION:** In the insulated-gate semiconductor element, an n-type layer 32 grown on an n-type SiC substrate 31 and a p-type layer 33 which in turn is grown on the layer are contained, an n-type part 34 where semiconductive properties have been changed by performing, for example, ion implantation and heat treatment exists at one portion of the p-type layer 33, and at least one portion of the n-type part 34 is connected electrically to the n-type layer 32.

---

Data supplied from the **esp@cenet** database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-119025

(P2001-119025A)

(43)公開日 平成13年4月27日 (2001.4.27)

(51)Int.Cl.<sup>1</sup>

H 0 1 L 29/78  
21/336

識別記号

F I

H 0 1 L 29/78

テマコト<sup>1</sup> (参考)

6 5 2 J  
6 5 2 T  
6 5 8 A

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21)出願番号 特願平11-299647

(22)出願日 平成11年10月21日 (1999.10.21)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 北畠 真

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 横川 俊哉

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

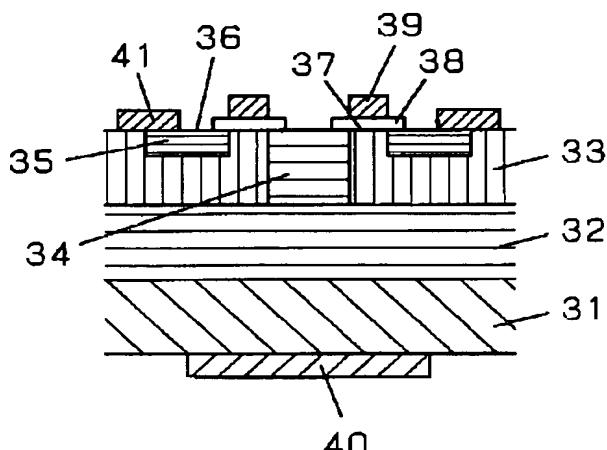
最終頁に続く

(54)【発明の名称】 半導体素子およびその形成方法

(57)【要約】 (修正有)

【課題】  $\alpha$ -SiC(0001)Si面にトレンチ構造を形成し酸化した絶縁ゲート型半導体素子は高耐圧を保ってチャンネル領域に効率的に電界を印可することができず、プレーナータイプのチャンネル領域を含む絶縁ゲート型半導体素子を形成するとチャンネル領域にイオン打ち込みの損傷が残り高移動度が実現できない。

【解決手段】 n型SiC基板31上に成長させたn型層32と、さらにその上に成長させたp型層33を含み、上記p型層33の一部に例えばイオン打ち込みし熱処理することにより半導体的性質を変化させたn型の部分34が存在し、n型の部分34の少なくとも一部が上記n型層32と電気的に連続であることを特徴とする絶縁ゲート型半導体素子である。



## 【特許請求の範囲】

【請求項1】 少なくとも、基板上に成長させたn型層と、さらにその上に成長させたp型層を含み、上記p型層の一部に例えばイオン打ち込みをすることにより半導体的性質を変化させたn型の部分が存在し、上記n型の部分の少なくとも一部が上記n型層と電気的に連続であることを特徴とする半導体素子。

【請求項2】 請求項1記載の半導体素子であって、基板が炭化珪素基板であり、n型層もp型層も炭化珪素薄膜により構成されていることを特徴とする半導体素子。

【請求項3】 請求項2記載の半導体素子であって、炭化珪素基板が、 $\beta$ -SiC(111)又は6H,4H等の $\alpha$ -SiC(0001)又は15R-SiCのSi面またはその10度以内のオフカット面、又は $\beta$ -SiC(100)及び $\beta$ -SiC(110)又は6H,4H等の $\alpha$ -SiC(0001)及び $\alpha$ -SiC(1-100)及び $\alpha$ -SiC(11-20)又はその15度以内のオフカット面であることを特徴とする半導体素子。

【請求項4】 請求項1記載の半導体素子であって、上記p型層の表面近傍に、表面部分以外はp型層に囲まれたもう一つのn型の部分を含み、上記もう一つのn型の部分に少なくとも接触したソース電極、基板の裏面に形成されたドレイン電極、上記n型の部分ともう一つのn型の部分に挟まれたp型層の表面を少なくとも覆うように形成された絶縁膜、上記絶縁膜上に設置されたゲート電極を、少なくとも含む事を特徴とする半導体素子。

【請求項5】 少なくとも、第1の において炭化珪素基板上にn型層を成長させ、第2の においてさらにその上にp型層を成長させ、第3の において上記p型層の一部を変化させたn型の部分を下地のn型層と電気的に連続となるようにイオン打ち込みをし、第4の においてp型層の一部を変化させた上記n型の部分と不連続なもう一つのn型の部分をイオン打ち込みし、第5の において熱処理をすることによりイオン打ち込みされた不純物を活性化しp型層中に上記n型の部分ともう一つのn型の部分を形成し、第6の

において上記n型の部分ともう一つのn型の部分に挟まれたp型層の表面を少なくとも覆うように形成された絶縁膜を形成し、第7の において上記絶縁膜上に設置されたゲート電極を形成する を少なくとも含むことを特徴とする半導体素子の形成方法。

【請求項6】 第3及び第4のプロセスにおいてイオン打ち込みを行うイオンのエネルギーが1keV以上20MeV以下であることを特徴とする請求項5記載の半導体素子の形成方法。

【請求項7】 第3及び第4のプロセスにおいてイオン打ち込みを行うイオンのエネルギーを2種類以上選び多重打ち込みをし、第3のプロセスにおいて下地のn型層と電気的に連続となるようにn型の部分を形成するイオン打ち込みを行うイオンのエネルギーが、第4の において上記n型の部分と不連続なもう一つのn型の部

分を形成するイオン打ち込みするイオンのエネルギーに比べて大きいことを特徴とする請求項5記載の半導体素子の形成方法。

【請求項8】 第3及び第4のプロセスにおいてイオン打ち込みを行うイオンのドーズ量が $10^{14} \text{ cm}^{-2}$ 以上であることを特徴とする請求項5記載の半導体素子の形成方法。

【請求項9】 第3及び第4のプロセスにおいてイオン打ち込みを行う場合に、炭化珪素基板を300°C以上に保つことを特徴とする請求項5記載の半導体素子の形成方法。

【請求項10】 半導体のそれぞれの構成要素のp型およびn型を入れ替えたことを特徴とする請求項5記載の半導体素子の形成方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、炭化珪素を用いた絶縁ゲート型半導体素子に関し、特に、耐圧が高く電流容量も大きい大電力用に適した縦型の絶縁ゲート型半導体素子に関する物である。

## 【0002】

【従来の技術】従来例1として述べる従来のSi等の絶縁ゲート型半導体素子は、図2(a)のごとく、n型の基板1上にn型のエピタキシャル成長層(n型層)2を形成し、その一部に例えばBの様なp型半導体を形成する不純物を拡散又はイオン打ち込みすることによりp型の部分3を形成し、p型の部分の表面近傍の一部に例えばPの様な不純物を拡散又はイオン打ち込みすることによりn型の部分4を形成する。上記n型層2が表面に達している部分5と上記n型の部分4とに挟まれたp型の部分の表面6上に酸化絶縁膜7を形成し、更にその表面にゲート電極8を設ける。ドレイン電極9は基板裏面に形成し、ソース電極10はn型の部分4とp型の部分3にコンタクトして形成される。この絶縁ゲート型半導体素子は、ゲート電極8へのバイアスによってp型の部分の表面6に形成される反転層がチャンネルとして作用して機能する。このチャンネル領域は、結晶欠陥などが少ない結晶性に良好な絶縁膜7との界面が要求される。上記形成法においては、チャンネル領域は基本的に横方向の拡散によって形成されており、チャンネル領域にイオン打ち込みの結晶欠陥は導入されていない。また、たとえチャンネル領域がイオン打ち込みを受けていても、Siの場合は後の熱処理技術が確立されており、低欠陥密度のチャンネル領域を形成することが出来る。

【0003】また、第二の従来例として述べる従来の炭化珪素絶縁ゲート型半導体素子は、炭化珪素表面を酸化処理し酸化珪素を形成し、絶縁膜としている。トレンチ構造を含む絶縁ゲート型の半導体素子は、図2(b)のごとく、まず、炭化珪素の電気伝導性のn型基板11上にn型のエピタキシャル成長層12をCVDにより形成し、そ

の表面にp型のエピタキシャル成長層(p型層)13を積層した二重積層構造を形成する。更にその表面に部分的なイオン打ち込みと熱処理を施し部分的にn+層14を形成し、n+/p/n積層構造を形成する。この積層構造を有する表面からフォトリソグラフィー技術とエッチング技術を用いてトレンチ構造15を形成する。このトレンチ構造を有する基板表面を酸化処理して酸化珪素絶縁膜16を形成し、酸化珪素絶縁膜で覆われたトレンチ部分にゲート電極17を積層して形成する。ドレイン電極18はn+型基板11の裏面から取り、ソース電極19を表面のn+層14とp型のエピタキシャル成長層13に接するように形成する。このようにして従来はトレンチ構造を含む絶縁ゲート型半導体素子を形成していた。ゲート電極17に印可される電圧によってon/offされるチャンネル領域20は、トレンチ壁面あたるp型のエピタキシャル層13と絶縁膜16との界面に形成される。この従来技術の内容は、例えば Silicon Carbide; A Review of Fundamental Questions and Applications to Current Device Technology, edited by W.J. Choyke, H. Matsunami, and G. Pensl, Akademie Verlag 1997 の Vol.II p.369-388に開示されている。

#### 【0004】

【発明が解決しようとする課題】図2(a)の第一の従来例の様な絶縁ゲート型半導体素子を、第一の従来例のSiではなく炭化珪素を用いて形成する場合を考える。従来例ではチャンネル領域は基本的に横方向の拡散によって形成されておりチャンネル領域にイオン打ち込みの結晶欠陥は導入されていないが、炭化珪素は上述の第一の従来例で述べたSiの場合のような不純物の拡散が起こらないので、このような様な低欠陥チャンネル領域形成プロセスの実現は不可能である。図2(a)と同じp型n型の部分を含む半導体素子構造を形成するためには、イオン打ち込みによりp型の部分を形成する必要があり、必ずp型の部分の表面はイオン打ち込みによる結晶欠陥を含むこととなる。更に炭化珪素は、常圧下での相図に液相が存在せず2000°C以上の非常に高温まで安定であるため、イオン打ち込みにより導入された結晶欠陥を熱処理によってアニール除去することが困難である。従って、炭化珪素を用いて図2(a)の絶縁ゲート半導体素子の構造をSiによる従来例と同様のプロセスを用いて実現するのは困難であった。

【0005】また、第二の従来例において説明した絶縁ゲート半導体素子を形成する炭化珪素は方向性を有する結晶で、結晶方位に対して酸化速度が異なることが知られている。 $\alpha$ -SiC(0001)Si面は最も酸化速度の遅い面であり、この面が180度回転した $\alpha$ -SiC(000-1)C面は最も酸化速度が速い面である。トレンチ構造のように複数の異なる結晶方位に対応する表面を含む複雑な素子構造の表面を酸化処理して酸化珪素絶縁膜を形成すると、結晶方位に対して形成される酸化珪素絶縁膜の膜厚が異なる

ため、酸化膜厚がトレンチ構造部分で一様でなく分布を持ち、ゲート電極と炭化珪素半導体との間の絶縁膜へ印可される電界が強い部分と弱い部分が存在することとなる。

【0006】例えば結晶性が良好なエピタキシャル成長層が得られる $\alpha$ -SiC(0001)Si面に上記絶縁ゲート型半導体素子を形成した場合は、図2(b)に示したように、ウェハ表面21およびトレンチ底面22に薄い酸化珪素膜23が、トレンチ壁面20に比較的厚い酸化珪素膜16が形成される。ゲート電極17は、トレンチ構造全体にわたってトレンチ底面22上の絶縁膜23表面にも形成されているので、トレンチ壁面20のチャンネル部分上の絶縁膜16よりもトレンチ底面22上の絶縁膜23に大きな電界が印可されることとなる。このような $\alpha$ -SiC(0001)Si面に高耐圧の絶縁ゲート型半導体素子を形成した場合に、絶縁耐圧を考慮した十分な厚みの絶縁膜を形成すると、図2(b)の様に、更に厚い絶縁膜16がチャンネル部分20上に形成されて、ゲート電圧に対する素子のレスポンスの効率が悪くなる問題点があった。また、チャンネル部分20上のゲート絶縁膜16の膜厚を最適な薄さに保つた場合は、更に薄い絶縁膜23がトレンチ底面22上に形成され、この部分の絶縁耐圧が低くなってしまう。このため上記従来技術においては、 $\alpha$ -SiC(0001)Si面にトレンチ構造を形成した高耐圧パワー素子などにおける高効率・高絶縁耐圧を達成することが困難であった。

【0007】上記第一、第二の従来技術における前記課題を解決するため、少なくとも、基板上に成長させたn型層と、さらにその上に成長させたp型層を含み、上記p型層の一部に例えばイオン打ち込みをすることにより半導体的性質を変化させたn型の部分を含み、上記n型の部分の少なくとも一部が下地のn型層と電気的に連続である絶縁ゲート半導体素子を発明した。この構造及び製造方法をとることにより、上述の従来例1で述べたチャンネル領域へのイオン打ち込み損傷の導入が無いプロセスが実現され、良好な特性の絶縁ゲート半導体素子が炭化珪素により実現される。また、p型の部分にチャンネル領域を形成するために従来例2の様にトレンチ構造を形成する必要もなく、絶縁ゲートを表面に形成した単純な構造により絶縁ゲート半導体素子が実現できる。さらに上記従来例2で述べたトレンチ構造を形成したための絶縁耐圧の問題も考慮する必要がない。このように、本発明は、単純な構造なプロセスが単純な絶縁ゲート半導体素子を炭化珪素により実現することを目的とする。

#### 【0008】

【課題を解決するための手段】本発明は、少なくとも基板上に成長させたn型層と、さらにその上に成長させたp型層を含み、上記p型層の一部に例えばイオン打ち込みをすることにより半導体的性質を変化させたn型の部分が存在し、上記n型の部分の少なくとも一部が下地の

n型層と電気的に連続であることを特徴とする。

【0009】前記半導体素子において、基板が炭化珪素基板であり、n型層もp型層も炭化珪素薄膜により構成されていることが好ましい。

【0010】前記半導体素子であって、炭化珪素基板が、 $\beta$ -SiC(111)又は6H, 4H等の $\alpha$ -SiC(0001)又は15R-SiCのSi面またはその10度以内のオフカット面、又は $\beta$ -SiC(100)及び $\beta$ -SiC(110)又は6H, 4H等の $\alpha$ -SiC(0001)及び $\alpha$ -SiC(1-100)及び $\alpha$ -SiC(11-20)又はその15度以内のオフカット面であることが好ましい。

【0011】前記半導体素子であって、上記p型層の表面近傍に、表面部分以外はp型層に囲まれたもう一つのn型の部分を含み、上記もう一つのn型の部分に少なくとも接触したソース電極、基板の裏面に形成されたドレン電極、上記n型の部分ともう一つのn型の部分に挟まれたp型層の表面を少なくとも覆うように形成された絶縁膜、上記絶縁膜上に設置されたゲート電極を、少なくとも含む事を特徴とする半導体素子である。

【0012】本発明の半導体素子の形成方法は、少なくとも第1の において炭化珪素基板上にn型層を成長させ、第2の においてさらにその上にp型層を成長させ、第3の において上記p型層の一部を変化させたn型の部分を下地のn型層と電気的に連続となるようにイオン打ち込みをし、第4の においてp型層の一部を変化させた上記n型の部分と不連続なもう一つのn型の部分をイオン打ち込みし、第5の において熱処理することによりイオン打ち込みされた不純物を活性化しp型層中に上記n型の部分ともう一つのn型の部分を形成し、第6の において上記n型の部分ともう一つのn型の部分に挟まれたp型層の表面を少なくとも覆うように形成された絶縁膜を形成し、第7の において上記絶縁膜上に設置されたゲート電極を形成することを特徴とする。

【0013】前記半導体素子の形成方法において、第3及び第4のプロセスにおいてイオン打ち込みを行うイオンのエネルギーが1keV以上20MeV以下であると好ましい。

【0014】前記半導体素子の形成方法において、第3及び第4のプロセスにおいてイオン打ち込みを行うイオンのエネルギーを2種類以上選び多重打ち込みをすることが好ましい。

【0015】更に、第3のプロセスにおいて下地のn型層と電気的に連続となるようにn型の部分を形成するイオン打ち込みを行うイオンのエネルギーが、第4の において上記n型の部分と不連続なもう一つのn型の部分を形成するイオン打ち込みするイオンのエネルギーに比べて大きいと好ましい。

【0016】また、第3及び第4のプロセスにおいてイオン打ち込みを行うイオンのドーズ量が $10^{14} \text{ cm}^{-2}$ 以上であると好ましい。

【0017】また、第3及び第4のプロセスにおいてイオン打ち込みを行う場合に、炭化珪素基板を300°C以上に保つと好ましい。

【0018】

【発明の実施の形態】本発明の半導体素子の形成方法は、図1の様に、例えば $\alpha$ -SiC(0001)Si面であるn型炭化珪素基板31上にエピタキシャル成長n型層32、エピタキシャル成長p型層33を成長させ、上記p型層の一部に部分的にイオン打ち込みし熱処理することによりn型の部分34を形成した。この場合、n型の部分34はp型層33を突き抜けてn型層32と電気的に連続となるように形成した。次に、n型の部分34を形成した場合よりもイオンのエネルギーを下げてイオン打ち込みを行い、もう一つのn型の部分35を形成した。この場合、もう一つのn型の部分35は、p型層33中に表面36以外はp型層33に囲まれた状態で形成され、電気的にn型層32ともn型の部分34とも不連続である。このウェハの表面を酸化して、少なくともn型の部分34ともう一つのn型の部分35に挟まれたp型層の表面37を覆うように、酸化絶縁膜38を形成した。さらにこの酸化絶縁膜38の表面にゲート電極39を形成した。基板裏面にドレン電極40、基板表面のp型層の表面ともう一つのn型の部分35にまたがるようにソース電極36を形成した。このMOSFETのゲート電極によって制御されるチャンネル領域はp型層の表面37部分である。このチャンネル領域37はp型層33のエピタキシャル成長後に、イオン打ち込みやエッティング等による損傷を受けていない部分であり、低損傷の高移動度チャンネルが形成できた。更に、従来例2で述べたようなトレンチ構造などの複雑な構造を形成する必要が無く、単純な構造で、SiCの高性能MOSFETが実現された。ゲート電極下の酸化絶縁膜38は、トレンチ構造の酸化の場合のように電界集中による破壊を考慮する必要もなく、理想的な酸化絶縁膜厚に設定できた。上記のように、少なくとも、基板上に成長させたn型層32と、さらにその上に成長させたp型層33を含み、上記p型層33の一部に例えばイオン打ち込みをすることにより半導体的性質を変化させたn型の部分34が存在し、上記n型の部分34の少なくとも一部が上記n型層32と電気的に連続であることを特徴とする、高性能な半導体素子が実現できた。

【0019】前記半導体素子においては、基板が炭化珪素基板であり、n型層もp型層も炭化珪素薄膜により構成されている半導体素子について述べたが、他の例えばSi等の半導体材料により構成されても、優れたMOSFETとして機能する。

【0020】前記半導体素子において、炭化珪素基板31が、 $\beta$ -SiC(111)又は6H, 4H等の $\alpha$ -SiC(0001)又は15R-SiCのSi面またはその10度以内のオフカット面、又は $\beta$ -SiC(100)及び $\beta$ -SiC(110)又は6H, 4H等の $\alpha$ -SiC(000

1)及び $\alpha$ -SiC(1-100)及び $\alpha$ -SiC(11-20)又はその15度以内のオフカット面であると、上記n型層32、p型層33のエピタキシャル成長により良好な結晶成長が行え、平滑な表面が得られ好ましい。

【0021】前記半導体素子において、上記p型層33の表面近傍に、表面部分36以外はp型層33に囲まれたもう一つのn型の部分35を含み、上記もう一つのn型の部分35に少なくとも接触したソース電極41、基板の裏面に形成されたドレーン電極40、上記n型の部分ともう一つのn型の部分に挟まれたp型層の表面37を少なくとも覆うように形成された絶縁膜38、上記絶縁膜上に設置されたゲート電極39を、少なくとも含んでいる構造を有していると、絶縁ゲート型のMOSFETがチャンネル部にイオン打ち込みなどの欠陥を導入することなしに形成でき、チャンネル移動度の大きいMOSFETが達成でき好ましい。

【0022】本発明の半導体素子の形成方法は、少なくとも第1の において炭化珪素基板31上にn型層32を成長させ、第2の においてさらにその上にp型層33を成長させ、第3の において上記p型層の一部を変化させたn型の部分34を下地のn型層32と電気的に連続となるようにイオン打ち込みをし、第4の においてp型層の一部を変化させた上記n型の部分と不連続なもう一つのn型の部分35をイオン打ち込みし、第5の において熱処理をすることによりイオン打ち込みされた不純物を活性化しp型層33中に上記n型の部分34ともう一つのn型の部分35を形成し、第6の において上記n型の部分34ともう一つのn型の部分35に挟まれたp型層の表面37を少なくとも覆うように形成された絶縁膜38を形成し、第7の において上記絶縁膜38上に設置されたゲート電極39を形成することを特徴とする。この形成方法により、トレンチ構造などを含まない単純な構造のプレーナタイプのMOSFETが達成でき、電流は電極36—もう一つのn型の部分35—チャンネル37—n型の部分34—n型層32—基板31—電極40と流れ、この基本構造を多数表面に形成することにより、高電流・高電圧を制御するパワーMOSFETが実現できた。

【0023】前記半導体素子の形成方法において、第3及び第4のプロセスにおいてイオン打ち込みを行うイオンのエネルギーが1keV以上20MeV以下であると、イオン打ち込み装置が一般的の物で対応可能で、数ミクロンから100オングストローム程度の範囲の深さのn型層を形成でき好ましい。1keV以下の の場合は、イオン打ち込みによるn型の部分又はもう一つのn型の部分が非常に薄くなり、本発明の目的である耐圧を有したMOSFETが形成できない。10MeV以上のイオンはその形成が難しく、半発明の実施が困難である。

【0024】前記半導体素子の形成方法において、第3及び第4のプロセスにおいてイオン打ち込みを行うイオ

ンのエネルギーを2種類以上選び多重打ち込みをすると、深さに対して分布が小さいボックス型の打ち込み層を形成でき好ましい。

【0025】更に、第3のプロセスにおいて下地のn型層と電気的に連続となるようにn型の部分を形成するイオン打ち込みを行うイオンのエネルギーが、第4の において上記n型の部分と不連続なもう一つのn型の部分を形成するイオン打ち込みするイオンのエネルギーに比べて大きいと、上記n型の部分の方が上記もう一つのn型の部分に比べて深く形成され、上記n型の部分と上記n型層の電気的連続性が良くなり、もう一つのn型層とp型層の間のp/n接合による耐圧が良くなり好ましい。

【0026】また、第3及び第4のプロセスにおいてイオン打ち込みを行うイオンのドーズ量が $10^{14}\text{cm}^{-2}$ 以上であると、熱処理により、高濃度のn型の部分・もう一つのn型の部分が形成でき好ましい。この場合、ドーズ量が $10^{14}\text{cm}^{-2}$ 以下であるとイオン打ち込みされた部分のキャリア濃度が小さくなり、抵抗が高くなりパワー半導体素子の形成には適さない。

【0027】また、第3及び第4のプロセスにおいてイオン打ち込みを行う場合に、炭化珪素基板を300°C以上に保つと、イオン打ち込み中に有る程度イオン衝撃格子欠陥がアニールされ、熱処理後の不純物の活性化が促進され好ましい。

【0028】

【実施例】実施例1に本発明の半導体素子の形成方法の第一の実施例を示す。図1のごとく、 $3\times10^{18}\text{cm}^{-3}$ の濃度の窒素 のn型の6H-SiC(0001)Si面[11-20]方向4度オフカットの基板31を用意し、表面洗浄後に上記基板表面に第一の として $5\times10^{15}\text{cm}^{-3}$ の窒素 n型エピタキシャル成長層32を $6\mu\text{m}$ の厚みで形成し、更にその上に第二の として $2\mu\text{m}$ の厚みで $2\times10^{17}\text{cm}^{-3}$ のAl のp型エピタキシャル成長層33を形成した。このp型エピタキシャル成長層の表面に金属マスクを形成し、第三の として選択的に0.9～7.0 MeVの範囲で7段のイオンエネルギーを選びそれぞれ $3\times10^{14}\text{cm}^{-2}$ のドーズ量でNをイオン打ち込みした。この により、n型の部分34が3ミクロン程度の深さまで形成され、この深さはp型層33よりも深い部分まで達しており、n型の部分34は下地のn型層32と電気的に連続となる。次に別の金属マスクを形成して、第4の として20keVの で窒素のイオン打ち込みを $5\times10^{15}\text{cm}^{-2}$ のドーズ量で行い、もう一つのn型の部分35を形成した。イオン打ち込み中の基板の温度は500°Cとした。このイオン打ち込みされた基板を第5の として1500°Cで熱処理して、これらのイオン打ち込み層を活性化してn型の部分、もう一つのn型の部分を完成させた。

【0029】次に第6のプロセスとして、上記6H-SiC(0

001)Si面基板を酸化処理炉に導入して、1100°Cでウェット酸化を3時間行った。SiC基板表面は酸化されて400Åの厚みの酸化珪素膜38が形成された。

【0030】上記酸化珪素膜にコンタクトホールなどをフォトリソエッチングにより形成して、Niのオーミック電極を堆積させ熱処理してソース電極41、ドレイン電極40を形成して、さらに第7の としてポリシリコンのゲート電極39を形成して図1の絶縁ゲート型の半導体素子を形成した。

【0031】本実施例においては、上記の6H-SiC(0001)Si面[11-20]方向4度オフカットの基板を用いたが、炭化珪素基板が $\beta$ -SiC(111)又は6H, 4H等の $\alpha$ -SiC(0001)又は15R-SiCのSi面またはその10度以内のオフカット面、又は $\beta$ -SiC(100)及び $\beta$ -SiC(110)又は6H, 4H等の $\alpha$ -SiC(0001)及び $\alpha$ -SiC(1-100)及び $\alpha$ -SiC(11-20)又はその15度以内のオフカット面で、少なくともn型基板上にn型エピタキシャル成長層、p型エピタキシャル成長層を成長させた多層構造を含んでいれば、本発明を実施できることを確認した。もう一つのn型の部分は、本実施例のようにイオン打ち込みで形成せずにエピタキシャル成長させても良いことを確認した。

【0032】本実施例においては、イオン打ち込みを行うイオンのエネルギーが0.9 ~ 7.0MeVの範囲で7段の多段打ち込みと20keVの場合を述べたが、1keV以上10MeV以下の範囲であれば、本発明が実現可能である。また、上記エネルギー範囲で2種以上選び多重打ち込みをすると、均一な のボックスプロファイルが形成でき本発明を実現できた。

【0033】本実施例においては、イオン打ち込みを行う場合に、炭化珪素基板を500°Cに保ったが、300°C以上に保てば照射損傷がイオン照射中に有る程度され、本発明を実現できた。

【0034】本実施例においては、ゲート絶縁膜として6H-SiC(0001)Si面基板を酸化処理炉に導入して1100°Cでウェット酸化を3時間行って形成した酸化珪素膜を用いたが、例えばCVD法によって形成された酸化珪素膜、酸化アルミニ膜等の絶縁酸化膜、強誘電体膜、絶縁チッ化膜等を用いても、本発明を実現できた。

【0035】また、本実施例においてチャンネル領域を走るキャリアーは電子であるが、上記半導体素子のn型とp型を入れ替えた場合のキャリアーがホールの場合も、本発明を実現できた。

【0036】上記実施例に説明した半導体素子の形成方法により形成された炭化珪素絶縁ゲート型半導体素子は、400V以上の絶縁耐圧を示した。本実施例により、炭化珪素の(0001)Si面上にプレーナ型の単純な構造の高耐圧パワー素子である炭化珪素絶縁ゲート型半導体素子が形成できた。特に、この実施例で形成された絶縁ゲート型半導体素子のチャンネル移動度は、従来例1で示したイオン衝撃をチャンネル部分に含む炭化珪素で形成され

た素子のチャンネル移動度に対して20%以上大きな値を示し、良好な炭化珪素半導体/酸化珪素絶縁体界面を有し、高移動度のチャンネル37が形成されたことが確認された。

【0037】

【発明の効果】以上説明した通り、本発明によれば、絶縁ゲートを表面に形成した単純な構造により絶縁ゲート半導体素子が実現でき、400V以上の絶縁耐圧を有する、炭化珪素絶縁ゲート型半導体素子が形成できる。また、炭化珪素を用いた絶縁ゲート型半導体素子で、耐圧が高く電流容量も大きい大電力用に適した縦型の絶縁ゲート型半導体素子を形成可能とするものである。

【図面の簡単な説明】

【図1】本発明の半導体素子の概念説明断面図

【図2】(a)従来例1の絶縁ゲート型半導体素子の構造断面図

(b)従来例2のトレンチ構造を含む炭化珪素絶縁ゲート型半導体素子の構造断面図

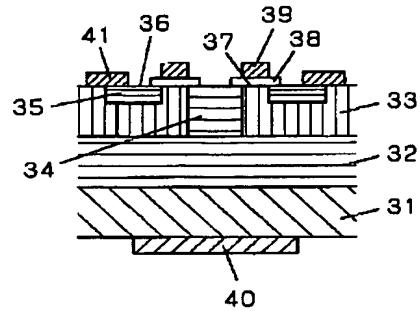
【符号の説明】

- 1 n型基板
- 2 n型エピタキシャル成長層 (n型層)
- 3 p型の部分
- 4 n型の部分
- 5 n型層が表面に達している部分
- 6 チャンネル領域
- 7 酸化絶縁膜
- 8 ゲート電極
- 9 ドレイン電極
- 10 ソース電極
- 11 n型基板
- 12 n型エピタキシャル成長層 (n型層)
- 13 p型エピタキシャル成長層 (p型層)
- 14 n+型層
- 15 トレンチ構造
- 16 酸化絶縁膜
- 17 ゲート電極
- 18 ドレイン電極
- 19 ソース電極
- 20 チャンネル領域
- 21 ウェハ表面
- 22 トレンチ底面
- 23 薄い酸化絶縁膜
- 31 n型基板
- 32 n型エピタキシャル成長層 (n型層)
- 33 p型エピタキシャル成長層 (p型層)
- 34 n型の部分
- 35 もう一つのn型の部分
- 36 もう一つのn型の部分の表面
- 37 チャンネル領域
- 38 絶縁膜

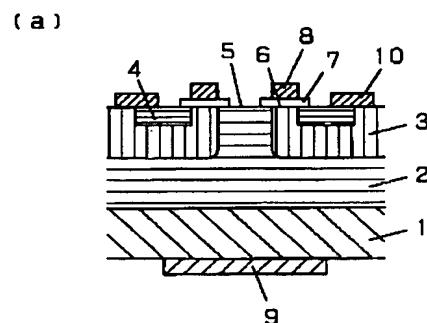
39 ゲート電極  
40 ドレイン電極

41 ソース電極

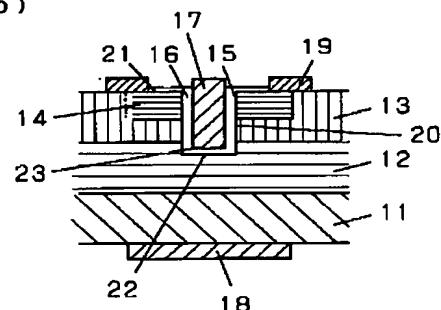
【図1】



【図2】



(b)



---

フロントページの続き

(72)発明者 楠本 修  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 内田 正雄  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

(72)発明者 高橋 邦方  
大阪府門真市大字門真1006番地 松下電器  
産業株式会社内